

IFW



Patent

Customer No. 31561
Application No.: 10/710,582
Docket No. 11182-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Wang
Application No. : 10/710,582
Filed : Jul 22, 2004
For : METHOD OF FABRICATING FLIP CHIP BALL GRID
ARRAY PACKAGE
Examiner :
Art Unit : 2811

ASSISTANT COMMISSIONER FOR PATENTS

Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 92119938,
filed on: 2003/7/22.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Nov. 11, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

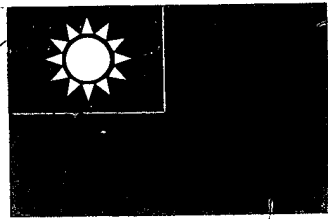
7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder.

申請日：西元 2003 年 07 月 22 日
Application Date

申請案號：092119938
Application No.

申請人：日月光半導體製造股份有限公司
Applicant(s)

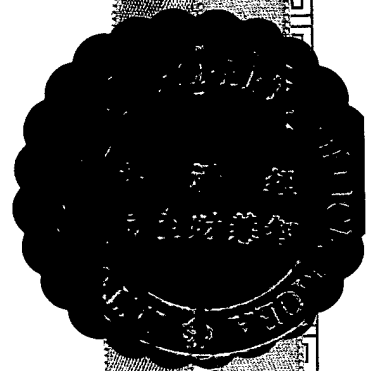
局長
Director General

蔡練生

發文日期：西元 2004 年 8 月
Issue Date

CERTIFIED COPY OF
PRIORITY DOCUMENT

發文字號：09320780850
Serial No.

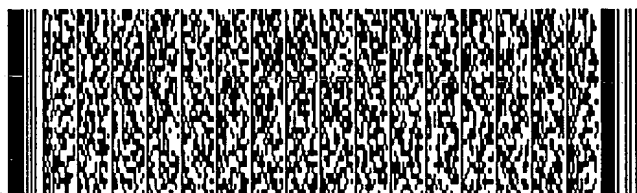


申請日期：	IPC分類
申請案號：92119938	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	覆晶球格陣列式封裝的製造方法
	英 文	METHOD FOR FABRICATING FLIP CHIP BALL GRID ARRAY PACKAGE
二、 發明人 (共1人)	姓 名 (中文)	1. 王盟仁
	姓 名 (英文)	1. WANG, MENG-JEN
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 屏東縣屏東市和平路68號
	住居所 (英 文)	1. No. 68, Heping Rd., Pingtung City, Pingtung, Taiwan 900, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或 姓 名 (英文)	1. Advanced Semiconductor Engineering, Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 26, Chin 3rd. Rd., 811, Nantze Export Processing Zone, Kaohsiung, Taiwan, R.O.C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. Chien-Sheng Chang



四、中文發明摘要 (發明名稱：覆晶球格陣列式封裝的製造方法)

一種覆晶球格陣列式封裝的製造方法，包括：提供一基板，具有一第一表面及一第二表面，於第一表面具有多個凹穴。貼附多個覆晶晶片，於基板之凹穴內。進行一填底膠步驟，填入一底膠於基板及覆晶晶片之間。進行一植球步驟，將多個焊球連接至基板之第二表面。切割基板，使基板中貼附覆晶晶片的部份與凹穴的側壁分離。

伍、(一)、本案代表圖為：第____6____圖

(二)、本案代表圖之元件代表符號簡單說明：

208：覆晶晶片 200：基板 212：焊球 210：底膠

200a：第一表面 200b：第二表面 202：凹穴

202a：凹穴的側壁 204：基板核心層 206：線路層

214：圓形鋸片 260：封膠材料

六、英文發明摘要 (發明名稱：METHOD FOR FABRICATING FLIP CHIP BALL GRID ARRAY PACKAGE)

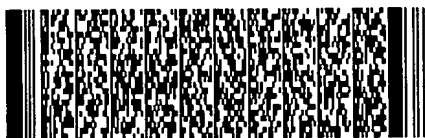
A method for fabricating the flip chip ball grid array package is provided with following steps: providing a substrate having a first surface and a second surface wherein cavities are formed on the first surface, attaching flip chips in the cavities of the substrate, filling an underfill between the substrate and the flip chips, mounting solder balls onto the second



四、中文發明摘要 (發明名稱：覆晶球格陣列式封裝的製造方法)

六、英文發明摘要 (發明名稱：METHOD FOR FABRICATING FLIP CHIP BALL GRID ARRAY PACKAGE)

surface of the substrate, sawing the substrate to separating the sidewall of the cavities and substrate where the flip chips are attached.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明是有關於一種覆晶球格陣列式封裝的製造方法，且特別是有關於一種超薄型覆晶球格陣列式封裝的製造方法。

先前技術

球格陣列式封裝(BGA, Ball Grid Array)的結構一般是具有晶片、基板及焊球，其中晶片是透過基板電性連接至焊球，並透過焊球對外連接。也就是說，晶片上間距較密的輸入輸出接點(錫墊)是透過基板(印刷電路板)內的線路，電性連接至間距較寬的焊球，再透過焊球對外連接。

所謂覆晶球格陣列式(FCBGA, Flip Chip BGA)封裝是指在球格陣列式封裝中採用了覆晶封裝的晶片(FC, Flip Chip)。

在此，請同時參考第1圖及第2圖，其中第1圖繪示習知覆晶球格陣列式封裝的結構側視剖視圖，第2圖繪示第1圖之上視圖。

在習知技術中，製造覆晶球格陣列式封裝的方法一般是如第1圖所示：貼附多個覆晶晶片100於基板102之一側上，並植入多個焊球104(植球)於基板102之另一側，最後在填入底膠106之後，將之切單(singulation)分離，形成多個覆晶球格陣列式封裝結構150(見第7B圖)。

其切割線108係如第2圖所示，位於晶片100與晶片100之間。

在上述習知技術中，因基板具有核心層(core



五、發明說明 (2)

layer)，所以切單後的封裝結構厚度還是太厚。

發明內容

為解決上述問題點及其他目的，本發明提供一種覆晶球格陣列式封裝的製造方法，可做出較習知為薄的封裝結構。

本發明提出一種覆晶球格陣列式封裝的製造方法，包括：提供一基板，具有一第一表面及一第二表面，於第一表面具有多個凹穴。貼附多個覆晶晶片，於基板之凹穴內。進行一填底膠步驟，填入一底膠於基板及覆晶晶片之間。進行一植球步驟，將多個焊球連接至基板之第二表面。切割基板，使基板中貼附覆晶晶片的部份與凹穴的側壁分離。

在上述覆晶球格陣列式封裝的製造方法中，於填入底膠之後，及植球步驟之前，更包括一封膠步驟，以一封膠材料填入凹穴內，包覆覆晶晶片。

在上述覆晶球格陣列式封裝的製造方法，形成基板之方法包括：提供一基板核心層、形成一線路層覆於基板核心層，以及形成多個開口於基板核心層，以暴露出線路層。

依照本發明之特徵，在欲貼附覆晶晶片的區域，移除掉基板核心層，而在其他區域保留基板核心層。藉此，被保留的基板核心層，可在製程中提供支撐，避免基板彎曲(warpage)，以保護晶片免受基板彎曲而導致破裂、斷裂等問題。而在欲貼附覆晶晶片的區域，移除掉基板核心



五、發明說明 (3)

層，則可使封裝切單之後的覆晶球格陣列式封裝結構省去基板核心層。因而可大幅減少封裝結構的厚度。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

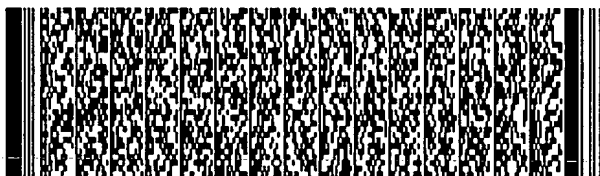
[第一實施例]

請參考第3~6圖，其繪示依照本發明之較佳實施例之一種覆晶球格陣列式封裝的製造方法。

如第3圖所示，提供一基板200，具有一第一表面200a及一第二表面200b，於第一表面200a具有多個凹穴202。標號202a表示凹穴202的側壁。

形成此基板200之方法，舉例而言，包括：提供一基板核心層204，形成一線路層206，覆於基板核心層204，此線路層206包括至少一介電層(未繪示)及多個導電層(未繪示，例如為銅層)，每一介電層係位於兩個相鄰之導電層之間。導電層係例如以壓合法(laminating method)或是積層法(building up method)形成一銅層，而形成介電層的方法包括塗佈等。之後，再例如以蝕刻法在基板核心層204中形成多個開口，以暴露出線路層206(即具有開口的基板核心層204配合線路層206以形成多個凹穴202)。

如第4圖所示，貼附多個覆晶晶片208，於基板200之凹穴202內。並進行一填底膠步驟，填入一底膠210於基板200及覆晶晶片208之間。



五、發明說明 (4)

如第5圖所示，進行一植球步驟，將多個焊球212連接至基板200的線路層206(基板200的第二表面200b)。

如第6圖所示，切割基板200，舉例而言，可使用圓形鋸片214切割基板200，使基板200中貼附覆晶晶片208的部份與凹穴202的側壁202a分離。至此，則可切割出多個覆晶球格陣列式封裝結構250(見第7A圖)。其切割線216係如第8圖所示，第8圖係繪示第6圖之上視圖。

請比較第7A圖及第7B圖，其中第7A圖繪示依照本發明之較佳實施例之製造方法所形成的覆晶球格陣列式封裝結構250，第7B圖繪示習知技術所形成的覆晶球格陣列式封裝結構150。

與習知技術所製造出的覆晶球格陣列式封裝結構150相比較，由本實施例的製造方法所製造出的覆晶球格陣列式封裝結構250明顯可省去基板核心層的厚度。而一般基板核心層的厚度約為150微米，因而本發明可較習知的覆晶球格陣列式封裝減少約150微米的厚度。

從一般的覆晶球格陣列式封裝構看來，假設晶圓被磨至8微英吋厚(1/1000英吋，約相當於200微米)，底膠約為90微米厚，沒有基板核心層，若是兩層銅層，再加上約0.3mm高的焊球(約相當於300微米)，則總厚約為650微米。由此可知，能夠減少約150微米的厚度，算是厚度降幅相當地大，遠優於習知技術。

[第二實施例]

在上述第一實施例中係將覆晶晶片以裸晶的方式封裝



五、發明說明 (5)

至此結構中，即，只在覆晶晶片和基板之間填入底膠，並未以封膠材料封裝，而裸露出覆晶晶片。然而，此僅為一例示，本發明並不限定於此，亦可以加入一封膠步驟，包覆覆晶晶片。

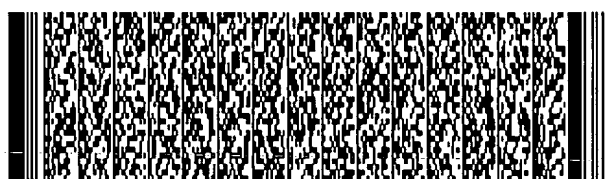
請參考第9圖，其繪示在第4圖的填底膠步驟之後，且在第5圖的植球步驟之前，插入一封膠步驟，以一封膠材料260填入凹穴202內，包覆覆晶晶片208。在第二實施例中各圖中的元件和第一實施例相同者係採用相同的標號，因而省略掉重覆的說明。

在第二實施例中第9圖之前的步驟係和第一實施例之第3~4圖相同，於此不再贅述。

接著，請參考第10圖，舉例而言，可使用圓形鋸片214切割基板200，使基板200中貼附覆晶晶片208的部份與凹穴202的側壁202a分離。至此，則可切割出多個覆晶球格陣列式封裝結構300(見第11圖)。

在上述各實施例中，雖圖示出每一凹穴貼附一覆晶晶片，然而，依本發明之精神可知，本發明並不限定於此。亦可以在一凹穴內分別貼附多覆晶晶片(圖未繪示)，以製作出覆晶球格陣列式模組封裝的結構。

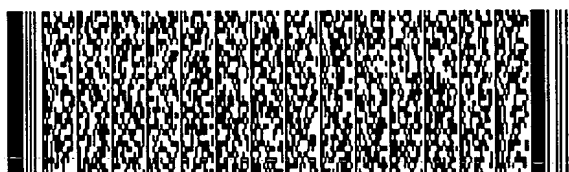
依上述各實施例的特徵可知，本發明之覆晶球格陣列式封裝的製造方法係，在欲貼附覆晶晶片的區域，移除掉基板核心層，而在其他區域保留基板核心層。藉此，被保留的基板核心層，可在製程中提供支撐，避免基板彎曲(warpage)，以保護晶片免受基板彎曲而導致破裂、斷裂



五、發明說明 (6)

等問題。而在欲貼附覆晶晶片的區域，移除掉基板核心層，則可使封裝切單之後的覆晶球格陣列式封裝結構省去基板核心層。因而可大幅減少封裝結構的厚度。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖繪示習知覆晶球格陣列式封裝的結構側視剖視圖；

第2圖繪示第1圖之上視圖；

第3圖~第6圖繪示本發明第一實施例之一種覆晶球格陣列式封裝之製程流程的側視剖視圖；

第7A圖繪示依本發明第一實施例之製造方法所得的覆晶球格陣列式封裝結構250；

第7B圖繪示習知技術所製造出的覆晶球格陣列式封裝結構150；

第8圖繪示第6圖之上視圖；

第9~10圖繪示依本發明第二實施例之製程流程的側視剖視圖；以及

第11圖繪示依本發明第二實施例之製造方法所得的覆晶球格陣列式封裝結構300。

[圖式標示說明]

100、208：覆晶晶片

102、200：基板

104、212：焊球

106、210：底膠

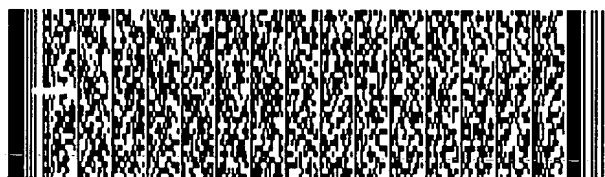
108、216：切割線

150、250、300：覆晶球格陣列式封裝結構

200a：第一表面

200b：第二表面

202：凹穴



圖式簡單說明

202a : 凹穴的側壁

204 : 基板核心層

206 : 線路層

214: 圓形鋸片

260: 封膠材料



六、申請專利範圍

1. 一種覆晶球格陣列式封裝的製造方法，包括：

提供一基板，具有一第一表面及一第二表面，於該第一表面具有複數個凹穴；

貼附複數個覆晶晶片，於該基板之該些凹穴內；

進行一填底膠步驟，填入一底膠於該基板及該覆晶晶片之間；

進行一植球步驟，將複數個焊球連接至該基板之該第二表面；以及

切割該基板，使該基板貼附該些覆晶晶片的部份與該些凹穴的側壁分離。

2. 如申請專利範圍第1項所述之覆晶球格陣列式封裝的製造方法，於填入該底膠之後，及該植球步驟之前，更包括一封膠步驟，以一封膠材料填入該些凹穴內，包覆該些覆晶晶片。

3. 如申請專利範圍第1項所述之覆晶球格陣列式封裝的製造方法，形成該基板之方法包括：

提供一基板核心層；

形成一線路層覆於該基板核心層；以及

形成複數個開口於該基板核心層，以暴露出該線路層。

4. 如申請專利範圍第3項所述之覆晶球格陣列式封裝的製造方法，其中該線路層包括至少一介電層以及複數個導電層，且該介電層係介於相鄰之該些導電層之間。

5. 如申請專利範圍第3項所述之覆晶球格陣列式封

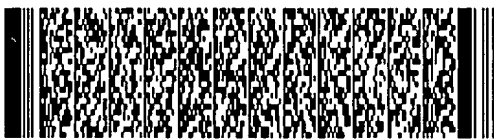


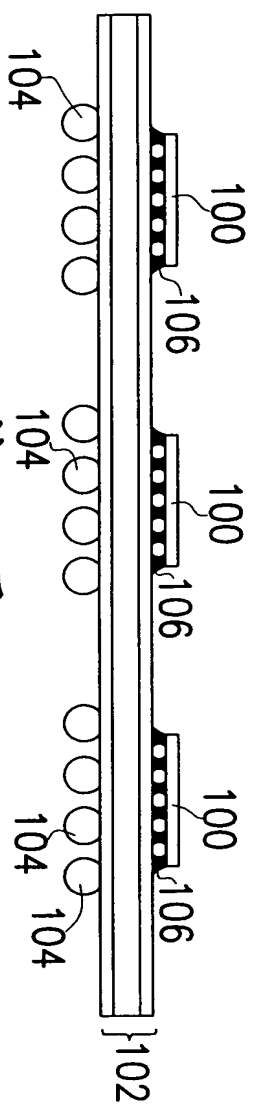
六、申請專利範圍

裝的製造方法，其中形成該些開口的方法包括蝕刻法。

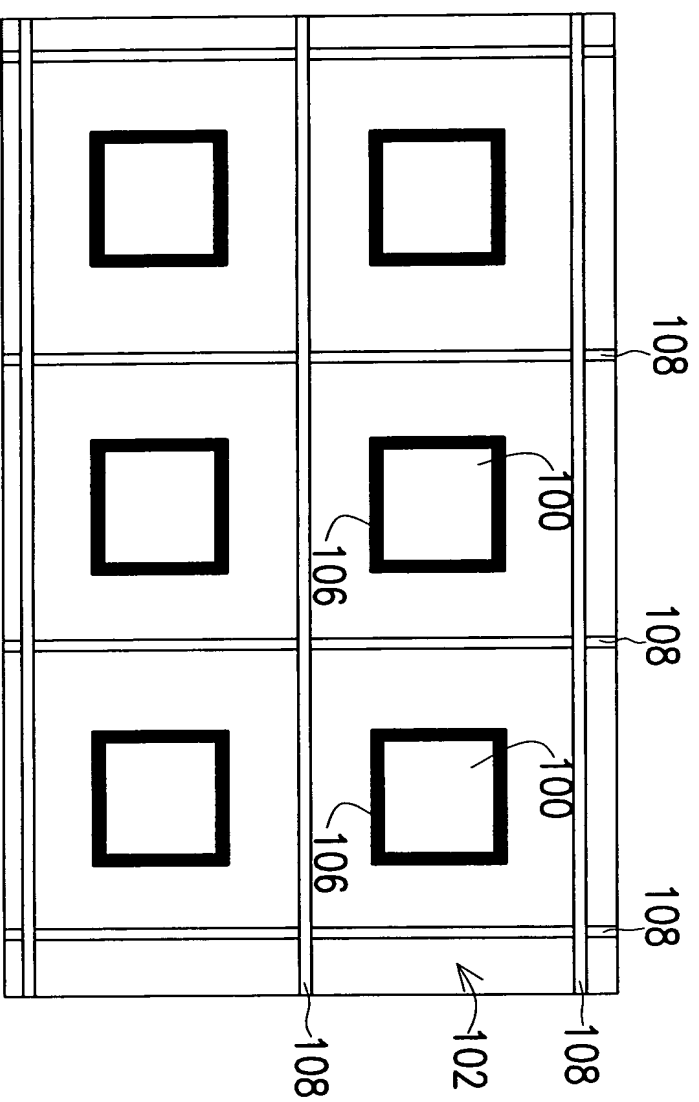
6. 如如申請專利範圍第1項所述之覆晶球格陣列式封裝的製造方法，其中貼附該些覆晶晶片的方式係，每一該些凹穴內分別貼附於每一該些覆晶晶片。

7. 如如申請專利範圍第1項所述之覆晶球格陣列式封裝的製造方法，其中貼附該些覆晶晶片的方式係，每一該些凹穴內分別貼附複數個該些覆晶晶片。

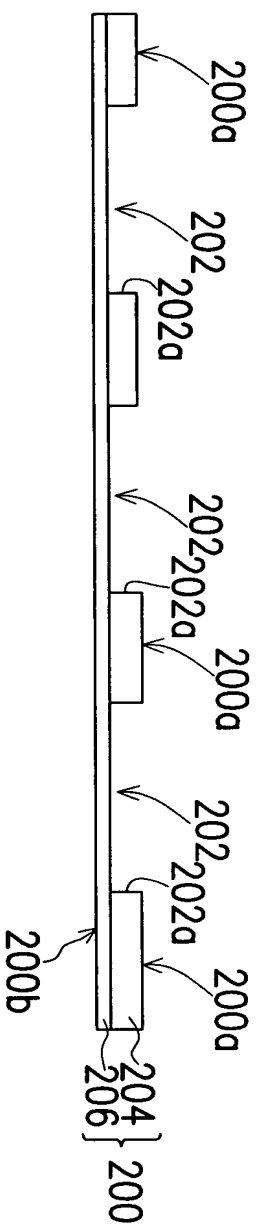




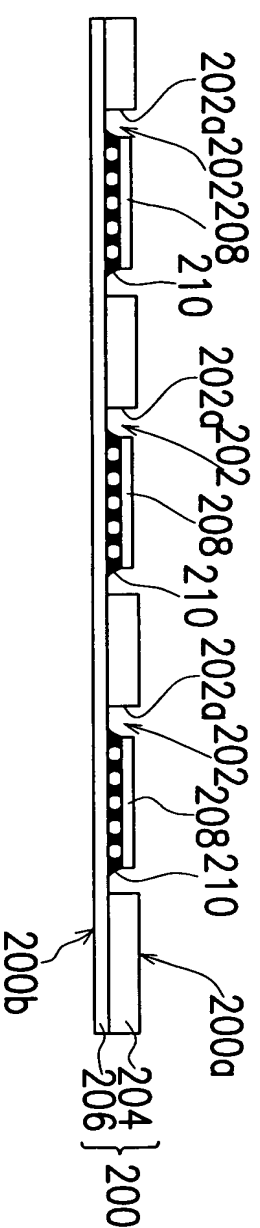
第 1 圖



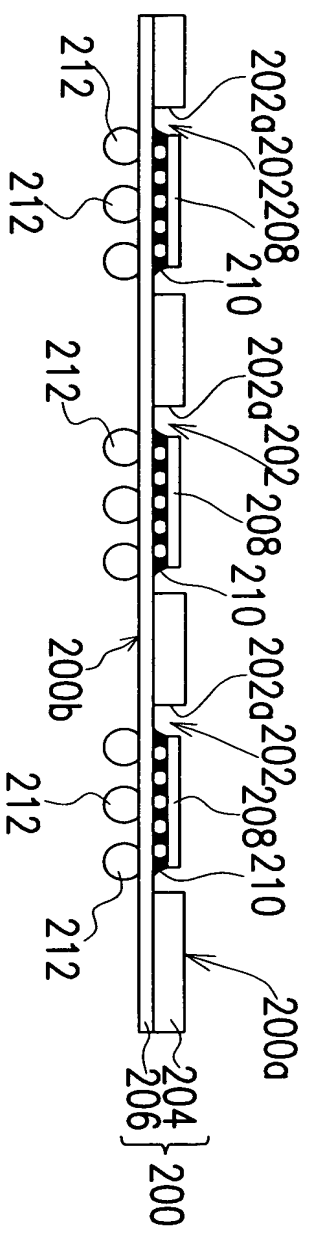
第 2 圖



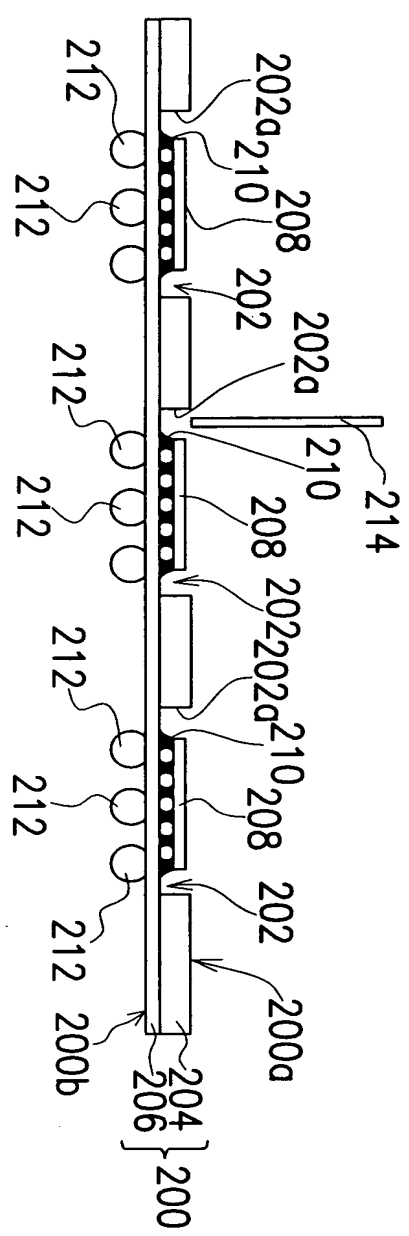
第 3 圖



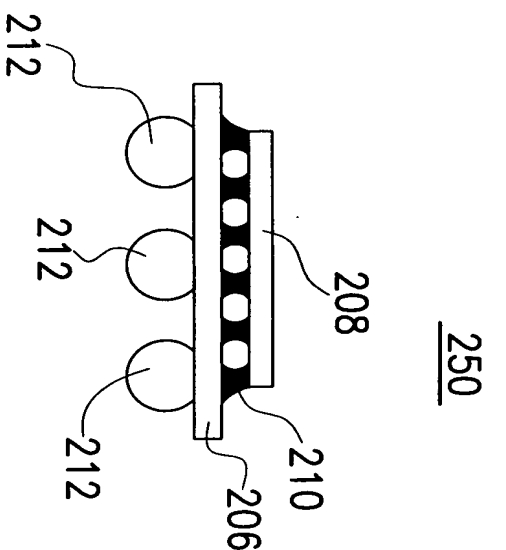
第 4 圖



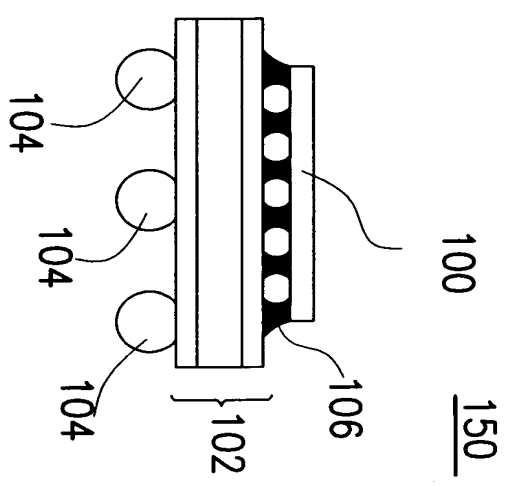
第 5 圖



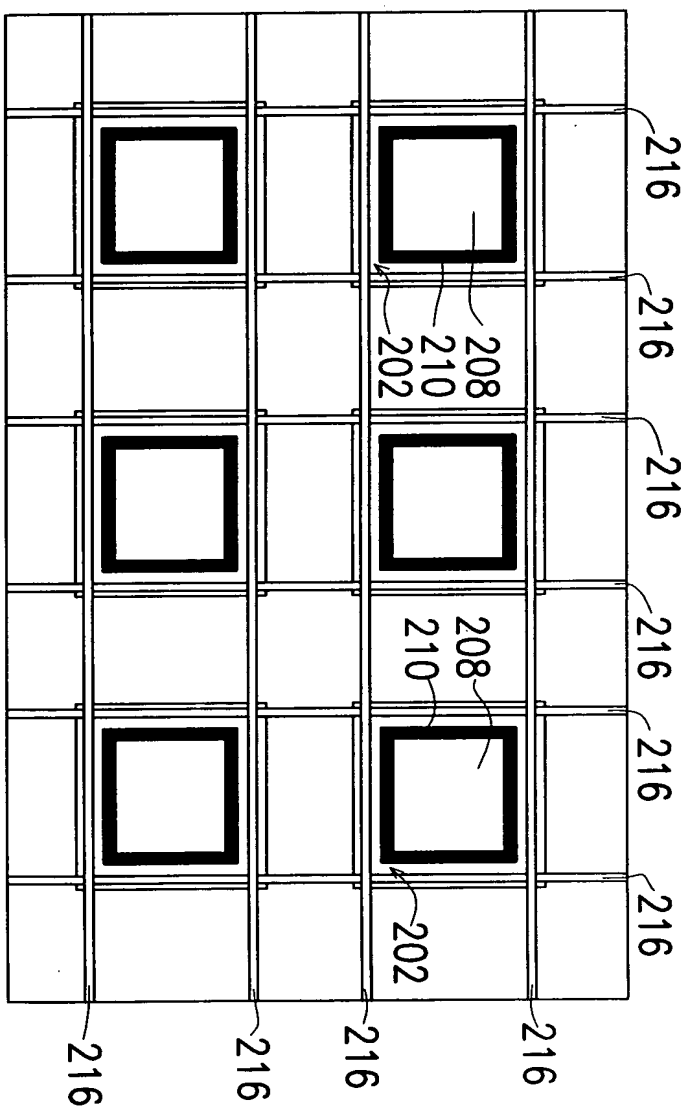
第 6 圖



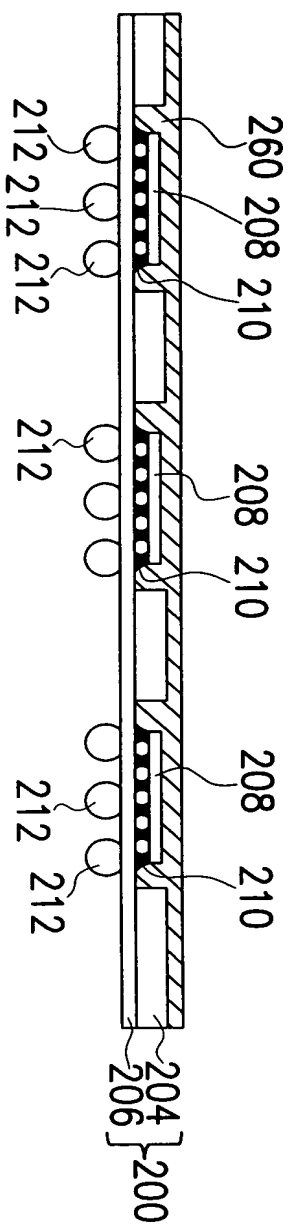
第7A圖



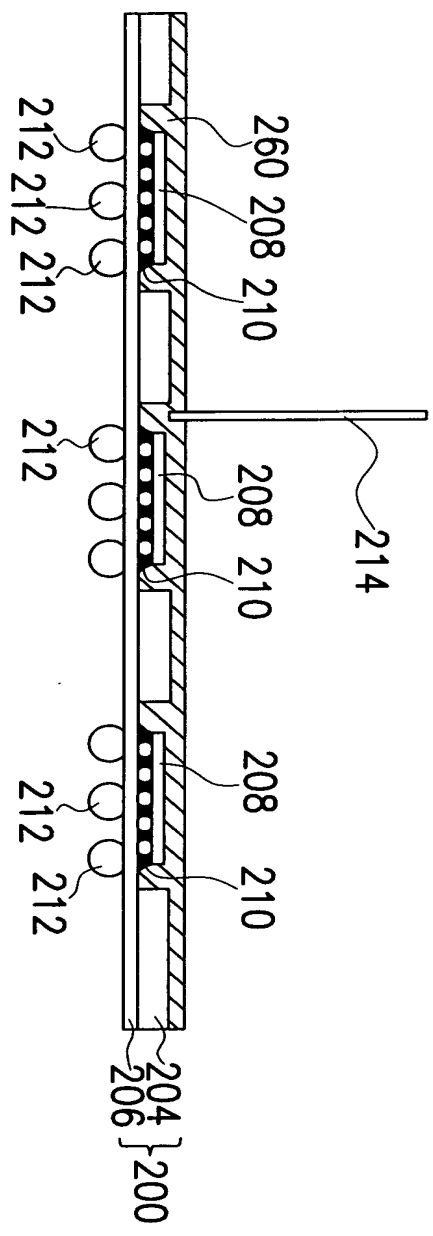
第7B圖



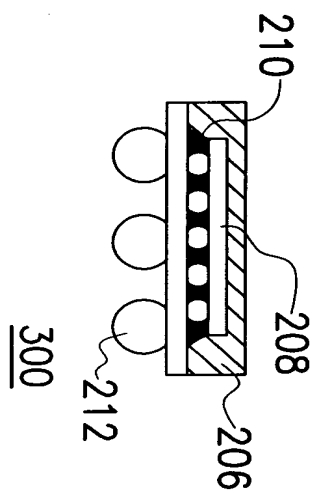
第 8 圖



第 9 圖

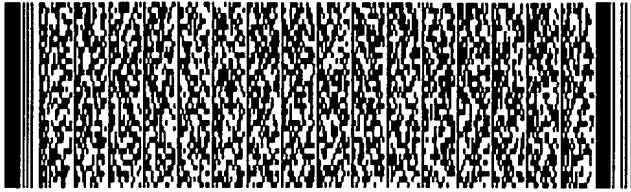


第10圖



第11圖

第 1/14 頁



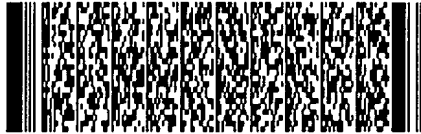
第 2/14 頁



第 2/14 頁



第 3/14 頁



第 4/14 頁



第 5/14 頁



第 5/14 頁



第 6/14 頁



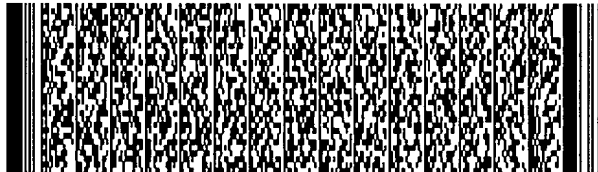
第 6/14 頁



第 7/14 頁



第 7/14 頁



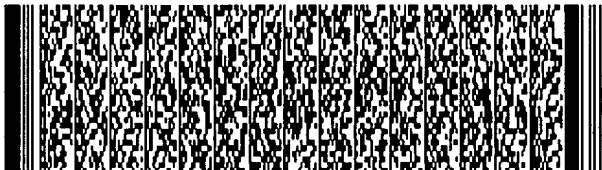
第 8/14 頁



第 8/14 頁



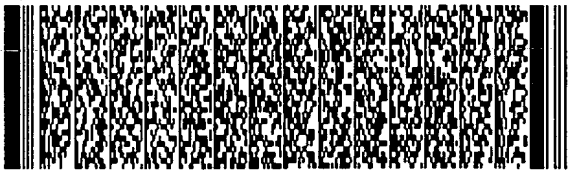
第 9/14 頁



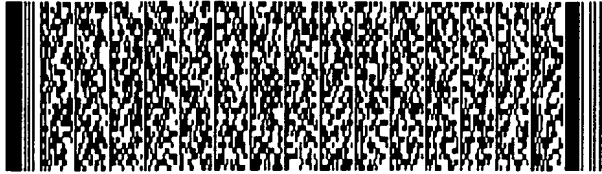
第 9/14 頁



第 10/14 頁



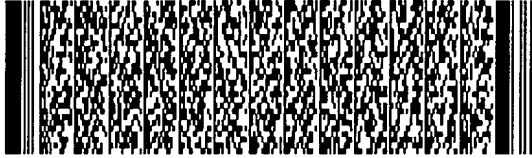
第 11/14 頁



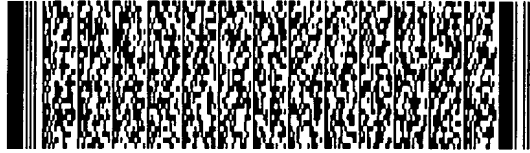
第 12/14 頁



第 13/14 頁



第 13/14 頁



第 14/14 頁

